|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | **UNIVERSITAS KRISTEN INDONESIA TORAJA**  **FAKULTAS TEKNIK**  **PROGRAM STUDI TEKNIK INFORMATIKA** | | | | | | | | | | | | **Kode Dokumen** | |
| **RENCANA PEMBELAJARAN SEMESTER** | | | | | | | | | | | | | | | |
| **MATA KULIAH (MK)** | | | | **KODE** | | **Rumpun MK** | | | **BOBOT (sks)** | | | **SEMESTER** | | **Tgl Penyusunan** | |
|  | | | |  | |  | | | T= | | P= |  | |  | |
| **Sistem Digital** | | | | **Pengembang RPS** | | **Koordinator RMK** | | | **GKM-F** | | | **Ketua PRODI** | | | |
| **Ir.Eko Suripto Pasinggi', ST., M.Eng.** | | Ttd | | | Ttd | | | **Aryo Michael, S.Kom., M.Kom.** | | | |
| **Capaian Pembelajaran (CP)** | | **CPL-PRODI yang dibebankan pada MK** | | | |  | | | | | | | | | |
| CPL07 | | Memahami prinsip-prinsip dasar di bidang teknologi informasi, komputasi, dan matematika yang menjadi fondasi pengembangan sistem serta penerapan teknologi digital. | | | | | | | | | | | |
| CPL08 | | Menguasai teori-teori pengembangan perangkat lunak, sistem operasi, jaringan, dan keamanan data, serta metodologi manajemen proyek yang mendukung pembuatan solusi teknologi yang handal dan terintegrasi. | | | | | | | | | | | |
| **Capaian Pembelajaran Mata Kuliah (CPMK)** | | | | |  | | | | | | | | |
| CPMK073 | | Mahasiswa mampu menguasai prinsip-prinsip dasar struktur data, sistem, dan keamanan informasi untuk membangun solusi perangkat lunak yang efisien dan andal. | | | | | | | | | | | |
| CPMK083 | | Mahasiswa mampu mengembangkan solusi digital berbasis teknologi mutakhir dengan menerapkan teori dan praktik pengembangan perangkat lunak serta integrasi sistem secara efektif. | | | | | | | | | | | |
| **Kemampuan akhir tiap tahapan belajar (Sub-CPMK)** | | | | |  | | | | | | | | |
| Sub-CPMK1 | | Mahasiswa mampu memahami konsep dasar sistem digital, termasuk logika digital, gerbang logika dasar, dan hukum logika Boolean. | | | | | | | | | | | |
| Sub-CPMK2 | | Mahasiswa mampu memahami dan menerapkan bentuk standar dua level SOP (Sum of Product) dan POS (Product of Sum) dalam analisis fungsi logika. | | | | | | | | | | | |
| Sub-CPMK3 | | Mahasiswa mampu menyederhanakan fungsi logika menggunakan metode aljabar Boolean dan peta Karnaugh (K-Map). | | | | | | | | | | | |
| Sub-CPMK4 | | Mahasiswa mampu memahami prinsip kerja dan struktur transistor CMOS dalam implementasi logika digital. | | | | | | | | | | | |
| Sub-CPMK5 | | Mahasiswa mampu memahami sistem bilangan digital (biner, oktal, desimal, heksadesimal), bilangan bertanda dan tidak bertanda, serta bilangan pecahan dalam konteks digital. | | | | | | | | | | | |
| Sub-CPMK6 | | Mahasiswa mampu merepresentasikan karakter dan data digital menggunakan ASCII, Unicode, dan sistem lainnya. | | | | | | | | | | | |
| Sub-CPMK7 | | Mahasiswa mampu memahami dan menerapkan operasi aritmetika digital seperti penjumlahan, pengurangan, pengali, dan pembagi biner. | | | | | | | | | | | |
| Sub-CPMK8 | | Mahasiswa mampu menganalisis dan merancang rangkaian kombinasional seperti encoder, decoder, multiplexer, dan demultiplexer. | | | | | | | | | | | |
| Sub-CPMK9 | | Mahasiswa mampu menganalisis dan merancang rangkaian sekuensial seperti flip-flop, counter, dan shift register. | | | | | | | | | | | |
| Sub-CPMK10 | | Mahasiswa mampu merancang rangkaian aritmetika digital (seperti adder, subtractor) menggunakan IC TTL standar dan memverifikasi fungsinya. | | | | | | | | | | | |
| Sub-CPMK11 | | Mahasiswa mampu mengimplementasikan rangkaian logika digital menggunakan IC TTL standar di atas breadboard atau simulator digital. | | | | | | | | | | | |
| Sub-CPMK12 | | Mahasiswa mampu menerapkan metodologi desain sistem digital untuk memecahkan permasalahan nyata berbasis logika digital. | | | | | | | | | | | |
| Sub-CPMK13 | | Mahasiswa mampu menyusun dokumentasi dan laporan tertulis yang menjelaskan solusi desain digital secara sistematis dan tepat. | | | | | | | | | | | |
| **Matriks CPL terhadap Sub-CPMK** | | | | |  | | | | | | | | |
|  | | |  |  |  |  |  |  |  |  |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | |  | **Sub-CPMK1** | **Sub-CPMK2** | **Sub-CPMK3** | **Sub-CPMK4** | **Sub-CPMK5** | **Sub-CPMK6** | **Sub-CPMK7** | **Sub-CPMK8** | **Sub-CPMK9** | **Sub-CPMK10** | **Sub-CPMK11** | **Sub-CPMK12** | **Sub-CPMK13** | | **CPMK073** |  |  |  |  |  |  |  |  |  |  |  |  |  | | **CPMK083** |  |  |  |  |  |  |  |  |  |  |  |  |  | | | | | | | | | | | | | | |
| **Deskripsi Singkat Mata Kuliah** | | Kuliah ini mempelajari dasar-dasar sistem digital mulai dari konsep, analisis, perancangan, implementasi dan evaluasi rangkaian logika. Konsep dan analisis rangkaian logika meliputi gerbang logika, ekspresi dan persamaan logika, aljabar Boolean, representasi bilangan digital dan operasi aritmetika. Perancangan (sintesis) ditujukan untuk menghasilkan rangkaian logika yang optimal (seringkali minimal) dengan menyederhanakan persamaan logika menggunakan aljabar Boolean, peta Karnaugh dan metode tabular Quine-McKluskey. Perancangan dilakukan untuk menghasilkan rangkaian kombinasional dan/atau sekuensial. Perancangan rangkaian sekuensial sinkron dilakukan menggunakan model Moore dan Mealy. Teknologi implementasi diarahkan menggunakan chip standar TTL (Transistor-transistor logic). Evaluasi rangkaian dilakukan untuk menverifikasi desain rangkaian lewat pengujian atau menggunakan program bantu simulator. | | | | | | | | | | | | | |
| **Bahan Kajian: Materi Pembelajaran** | | 1. Pendahuluan sistem digital  2. Konsep rangkaian logika  3. Aljabar boolean dan sintesis rangkaian  4. Peta Karnaugh dan rangkaian multi keluaran  5. Rangkaian TTL standar  6. Representasi data digital  7. Operasi dan rangkaian aritmetika biner  8. Rangkaian kombinasional  9. Rangkaian sekuensial | | | | | | | | | | | | | |
| **Pustaka** | | **Utama:** | |  | | | | | | | | | | | |
| 1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | | | | | | | | | | | | | |
| **Pendukung:** | |  | | | | | | | | | | | |
|  | | | | | | | | | | | | | |
| **Dosen Pengampu** | | Ir.Eko Suripto Pasinggi', ST., M.Eng. | | | | | | | | | | | | | |
| **Mata kuliah syarat** | |  | | | | | | | | | | | | | |
| **Mg Ke-** | **Kemampuan akhir tiap tahapan belajar**  **(Sub-CPMK)** | | **Penilaian** | | | | | **Bantuk Pembelajaran,**  **Metode Pembelajaran,**  **Penugasan Mahasiswa,**  **[ Estimasi Waktu]** | | | | | **Materi Pembelajaran**  **[Pustaka]** | | **Bobot Penilaian (%)** |
| **Indikator** | | **Kriteria dan Teknik** | | | **Luring (*offline*)** | | **Daring (*online*)** | | |
| **(1)** | **(2)** | | **(3)** | | **(4)** | | | **(5)** | | **(6)** | | | **(7)** | | **(8)** |
| 1 | Mahasiswa mampu memahami konsep sistem digital, rangkaian logika, rangkaian dua level SOP-POS, penyederhanaan fungsi logika, transistor CMOS, sistem bilangan digital (utuh dan pecahan, bertanda dan tidak bertanda), representasi karakter digital, aritmetika digital, rangkaian kombinasional dan rangkaian sekuensial dengan tepat | | 1. Dapat menjelaskan konsep sistem digital 2. Dapat menjelaskan representasi diskrit 3. Dapat memahami metodologi desain sistem digital dan menerapkannya untuk permasalahan sederhana | | **Kriteria:**   1. Rubrik penilaian   (terlampir)   1. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Pendahuluan Sistem Digital  1.1 Sistem digital dan representasi diskrit  1.2 Perangkat digital dan pengantar teknologi rangkaian terintegrasi  1.3 Metodologi desain sistem digital dan abstraksi digital  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | | 3% |
| 2 | Mahasiswa mampu memahami konsep sistem digital, rangkaian logika, rangkaian dua level SOP-POS, penyederhanaan fungsi logika, transistor CMOS, sistem bilangan digital (utuh dan pecahan, bertanda dan tidak bertanda), representasi karakter digital, aritmetika digital, rangkaian kombinasional dan rangkaian sekuensial dengan tepat | | 1. Dapat menjelaskan konsep sistem digital 2. Dapat menjelaskan representasi diskrit 3. Dapat memahami metodologi desain sistem digital dan menerapkannya untuk permasalahan sederhana | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa memberikan   respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Konsep Rangkaian Logika  2.1 Representasi biner dan saklar sebagai elemen biner  2.2 Variabel dan fungsi logika  2.3 Ekspresi dan persamaan logika  2.4 Tabel kebenaran  2.5 Gerbang dan rangkaian logika  2.6 Analisis rangkaian  2.7 Diagram Pewaktuan  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 3 | Mahasiswa mampu merancang dan menganalisis rangkaian logika dua level SOP-POS minimum, rangkaian multiplekser, rangkaian kombinasional, rangkaian sekuensial, dan rangkaian aritmetika digital dengan tepat | | 1. Memahami teorema dan hukum aljabar Boolean 2. Memahami logika AND, OR, NOT 3. Membuktikan kesamaan dua ekspresi logika dengan menggunakan aljabar dan diagram Venn 4. menyatakan persamaan logika dalam bentuk SOP maupun POS jika diberikan kebutuhan fungsional sistem 5. mengkonversikan persamaan SOP ke POS atau sebaliknya dengan benar 6. melakukan penyederhanaan persamaan logika secara aljabar dengan benar jika diberikan suatu persamaan logika, tabel kebenaran maupun deskripsi tekstual kebutuhan desain | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :** Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Aljabar Boolean dan Sintesis Rangkaian Logika  3.1 aljabar Boolean: aksioma, teorema, dan hukum  3.2 diagram Venn  3.3 penyederhanaan persamaan secara aljabar  3.4 sintesis ekspresi logika dari table kebenaran  3.5 minterm, persamaan SOP (SOP) dan notasi kanonik SOP  3.6 Maxterm, persamaan POS (POS) dan notasi kanonik POS  3.7 konversi SOP ke POS dan sebaliknya  3.8 rangkaian dua level AND-OR dan OR-AND  3.9 rangkaian dua level NAND-NAND dan NOR-NOR  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 4 | Mahasiswa mampu merancang dan menganalisis rangkaian logika dua level SOP-POS minimum, rangkaian multiplekser, rangkaian kombinasional, rangkaian sekuensial, dan rangkaian aritmetika digital dengan tepat | | 1. Memahami prinsip-prinsip penyederhanaan fungsi logika menggunakan peta Karnaugh; 2. menggunakan Don’t care dalam peta Karnaugh; 3. mendesain dan menganalisis rangkaian logika SOP minimal menggunakan peta Karnaugh. | | **Kriteria:**   1. Rubrik penilaian   (terlampir)   1. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Aljabar Boolean dan Sintesis Rangkaian Logika  4.1 aljabar Boolean: aksioma, teorema, dan hukum  4.2 diagram Venn  4.3 penyederhanaan persamaan secara aljabar  4.4 sintesis ekspresi logika dari table kebenaran  4.5 minterm, persamaan SOP (SOP) dan notasi kanonik SOP  4.6 Maxterm, persamaan POS (POS) dan notasi kanonik POS  4.7 konversi SOP ke POS dan sebaliknya  4.8 rangkaian dua level AND-OR dan OR-AND  4.9 rangkaian dua level NAND-NAND dan NOR-NOR  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 5 | Mahasiswa mampu merancang dan menganalisis rangkaian logika dua level SOP-POS minimum, rangkaian multiplekser, rangkaian kombinasional, rangkaian sekuensial, dan rangkaian aritmetika digital dengan tepat | | 1. Memahami prinsip-prinsip penyederhanaan fungsi logika menggunakan peta Karnaugh; 2. Menggunakan Don’t care dalam peta Karnaugh; 3. Merancang dan menganalisis rangkaian logika POS minimal (OR-AND atau NOR-NOR) menggunakan peta Karnaugh; 4. Merancang dan menganalisis rangkaian logika minimal SOP atau POS dengan menggabungkan beberapa fungsi dalam satu rangkaian multi-keluaran. | | **Kriteria:**   1. Rubrik penilaian   (terlampir)   1. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Peta Karnaugh dan Rangkaian Multi- Keluaran (Bagian 2)  5.1 kondisi don’t care dan rangkaian dengan spesifikasi tidak lengkap;  5.2 implementasi rangkaian logika POS optimal dengan OR-AND dan/atau NOR-NOR;  5.3 rangkaian multi-keluaran.  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 6 | Mahasiswa mampu merancang dan menganalisis rangkaian logika dua level SOP-POS minimum, rangkaian multiplekser, rangkaian kombinasional, rangkaian sekuensial, dan rangkaian aritmetika digital dengan tepat | | 1. Memahami prinsip kerja transistor NMOS, PMOS dan CMOS untuk mengimplementasikan fungsi logika dasar; 2. Merancang rangkaian logika CMOS untuk suatu fungsi SOP atau POS dengan tepat; 3. Menganalisis rangkaian logika CMOS dan menyatakan biaya rangkaian berdasarkan jumlah transistor yang dibutuhkan untuk suatu fungsi logika | | **Kriteria:**   1. Rubrik penilaian   (terlampir)   1. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Rangkaian Logika CMOS  6.1 transistor NMOS, PMOS dan CMOS;  6.2 gerbang logika CMOS: NOT, NAND, NOR, AND, OR;  6.3 buffer, buffer tiga keadaan dan gerbang transmisi (TG) serta implementasi CMOS;  6.4 gerbang logika XOR dan XNOR  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 7 | Mahasiswa mampu Mengimplementasikan rancangan rangkaian logika menggunakan IC standar TTL dengan tepat | | 1. Memilih IC TTL standar yang diperlukan untuk mengimplementasi an suatu fungsi logika tertentu; 2. Mendesain dan mengevaluasi rangkaian menggunakan IC TTL standar; 3. Menganalisis parameter elektrik dalam suatu rangkaian IC TTL standar untuk jaminan keandalan sinyal digital; 4. Mengembangkan satu aplikasi digital menggunakan IC TTL standar. | | **Kriteria:**   1. Rubrik penilaian   (terlampir)   1. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Rangkaian TTL Standar  7.1 IC TTL standar seri 7400 untuk fungsi logika dasar;  7.2 metodologi desain rangkaian logika menggunakan IC TTL standar;  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 8 | **Evaluasi Tengah Semester / Ujian Tengah Semester** | | | | | | | | | | | | | |  |
| 9 | Mahasiswa mampu menerapkan metodologi desain sistem digital untuk memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. menuliskan sistem bilangan digital tak bertanda (unsigned), dalam bentuk bilangan posisional, biner, heksadesimal, oktal dengan tepat; 2. Menuliskan sistem bilangan digital bertanda (signed) dengan tepat. | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Representasi Data Digital (Bagian 1)  9.1 representasi posisional: bilangan tak bertanda (unsigned), desimal, biner, oktal dan  heksadesimal;  9.2 konversi bilangan; bilangan bertanda (signed): sign-magnitude, 1’s complement dan 2’s complement;  9.3 bilangan pecahan fixed-point (titik tetap);  9.4 bilangan pecahan floating-point (titik  mengambang/tidak tetap);  9.5 BCD (binary-coded decimal) untuk  kode angka desimal;  9.6 kode ASCII untuk karakter.  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 10 | Mahasiswa mampu  menerapkan  metodologi desain  sistem digital untuk  memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. menyatakan bilangan pecahan ke dalam bentuk fixed-point dengan tepat dan sebaliknya; 2. menyatakan bilangan pecahan ke dalam bentuk floating-point presisi Tunggal dan ganda dengan tepat dan sebaliknya; 3. merepresentasikan karakter dan angka digital ke dalam kode ASCII dan BCD dengan tepat; 4. menggunakan representasi bilangan, karakter dan angka dalam aplikasi pemrograman dan digital lainnya | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Representasi Data Digital (Bagian 2)  10.1 bilangan pecahan fixed-point (titik tetap);  10.2 bilangan pecahan floating-point (titik  mengambang/tidak tetap);  10.3 BCD (binary-coded decimal) untuk kode angka desimal;  10.4 kode ASCII untuk karakter.  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 11 | Mahasiswa mampu menerapkan  metodologi desain  sistem digital untuk  memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. melakukan operasi penjumlahan dan pengurangan bilangan biner; 2. menganalis rangkaianpenjumlah/pengurang bilangan biner; 3. mampu menganalisis kondisi overflow dalam suatu operasi aritmetika; 4. menganalisis rangkaian penjumlah/pengura g n-bit dengan deteksi overflow; 5. mendesain dan menganalisis rangkaian penjumlah cepat n-bit | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Operasi dan Rangkaian Aritmetika Biner  11.1 unit penjumlah 1 bit;  11.2 operasi penjumlahan dan pengurangan bilangan biner;  11.3 kondisi overflow dalam operasi aritmetika;  11.4 unit penjumlah/pengurang n bit;  11.5 rangkaian penjumlah/pengurang dengan deteksi overflow;  11.6 desain penjumlah cepat n bit;  11.7 desain dan simulasi penjumlah cepat 32 bit.  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 12 | Mahasiswa mampu menerapkan  metodologi desain  sistem digital untuk  memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. menjelaskan fungsi karakteristik blok komponen rangkaian kombinasional dengan tepat; 2. mengaplikasikan blok rangkaian kombinasional dalam desain sistem digital serta menganalisisnya; 3. merancang dan menganalisis rangkaian multiplekser dari fungsi logika yang diinginkan menggunakan ekspansi Shannon; 4. mengimplementasikan rangkaian multiplekser menggunakan IC TTL dan mengujinya. | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Rangkaian Kombinasional  (Bagian 1)  12.1 blok rangkaian kombinasional, yaitu berupa multiplekser, enkoder  12.2 teorema ekspansi Shannon  dan desain rangkaian digital menggunakan multiplekser;  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 13 | Mahasiswa mampu menerapkan  metodologi desain  sistem digital untuk  memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. menjelaskan fungsi karakteristik blok komponen rangkaian kombinasional dengan tepat; 2. mengaplikasikan blok rangkaian kombinasional dalam desain sistem digital serta menganalisisnya; | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Rangkaian Kombinasional  (Bagian 2)  13.1 blok rangkaian kombinasional, yaitu berupa converter kode, dekoder, demultiplekser;  13.3 rangkaian tampilan 7-segmen  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 14 | Mahasiswa mampu  Menerapkan metodologi desain sistem digital untuk  memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. menjelaskan perbedaan antara latch dan flip-flop; 2. merancang dan menganalisis fungsi karakteristik latch set-reset latch tergerbang, latch data; 3. merancang dan menganalisis fungsi karakteristik flip-flop (D, T, dan JK). | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Rangkaian Sekuensial (Bagian1)  14.1 prinsip rangkaian sekuensial;  14.2 elemen penyimpan 1 bit latch, yaitu set-reset latch (latch SR), latch SR tergerbang dan data latch (latch D) serta rangkaian logikanya;  14.3 elemen penyimpan 1 bit flip-flop, meliputi data flip-flop (DFF), toggle flip-flop (TFF), JK flip-flop (JKFF).  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 15 | Mahasiswa mampu  Menerapkan metodologi desain sistem digital untuk  memecahkan problem digital dan  mengkomunikasikan  solusinya secara  tertulis dengan tepat | | 1. membedakan perilaku dan rangkaian pencacah sinkron dan asinkron; 2. merancang dan menganalisis rangkaian n buah flip-flop menjadi register data n bit, shift register, pencacah naik/turun sinkron/asinkron serta menganalisisnya; 3. merancang, menganalisis dan menguji implementasi rangkaian sekuensial menggunakan IC TTL. | | **Kriteria:**   1. Rubrik penilaian (terlampir) 2. Mahasiswa   memberikan  respon terhadap  materi kuliah,  setiap respon  bernilai 5  **Bentuk Penilaian :**  Aktifitas Partisipasif | | | **Pendekatan:**  Saintifik Model:  Pembelajaran Berbasis masalah  **Metode:**  Diskusi, Presentasi  (2x50) | |  | | | **Materi**  Rangkaian Sekuensial (Bagian 2)  15.1 register data n bit dan register geser (shift register);  15.2 pencacah naik-turun;  15.3 pencacah sinkron dan asinkron.  **Refrensi**   1. Eko Didik Widianto, Sistem Digital: Analisis, Desain dan Implementasi, Edisi Pertama, Graha Ilmu, 2014 2. Stephen Brown and Zvonko Vranesic, Fundamentals of Digital Logic with Verilog/VHDL, 2nd Edition, McGraw-Hill, 2005 3. Ronald J. Tocci, Neal S. Widmer, Gregory L. Moss, “Digital Systems: Principles and Applications”, Edisi 11, Pearson, 2011 | |  |
| 16 | **Evaluasi Akhir Semester / Ujian Akhir Semester** | | | | | | | | | | | | | |  |

|  |  |  |
| --- | --- | --- |
| **BOBOT** | **RENTANG NILAI** | **HURU F** |
| 4.00 | >86 | A |
| 3.75 | 80-85 | A- |
| 3.50 | 74-79 | B+ |
| 3.00 | 68-73 | B |
| 2.75 | 62-67 | B- |
| 2,50 | 56-61 | C+ |
| 2.00 | 50-55 | C |
| 1.00 | 44-49 | D |
| 0.00 | <43 | E |

|  |  |
| --- | --- |
| **ASPEK PENILAIAN** | **PERSEN- TASE** |
| UAS (Penilaian Proyek) | 40 % |
| UTS | 20 % |
| Tugas (Tg) membuat cerita dan simulasi cerita | 20 % |
| (Partisipasi Aktif (PA)) | 20 % |

Rumus Nilai Akhir Mata kuliah:

**NA = (20 X RP, RPA) + (20 X RTG) + (20 X RUTS) + (40 X RUAS)**

**EVALUASI**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **BENTUK TES** | **JENIS TES** | **KISI-KISI INSTRUMEN PENILAIAN** | **INSTRUMEN PENILAIAN** | **RUBRIK PENILAIAN** |
| Tes/ Non Tes/ Lembar Observasi Kinerja | Lisan/ Tertulis/ Praktik Kinerja/ Observasi | Terlampir | Terlampir | Terlampir |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**KISI-KISI INSTRUMEN PENILAIAN**

| **NO** | **KEMAMPUAN AKHIR YANG DIHARAPKAN**  **(SUB-CPMK)** | **BENTUK INSTRUMEN**  **(PILIHAN GANDA/ URAIAN/ OBSERVASI/ PRAKTIK)** | **ASPEK** | | | **NOMOR BUTIR SOAL** |
| --- | --- | --- | --- | --- | --- | --- |
| **KOGNITIF**  **(C1-C6)** | **AFEKTIF**  **(A1-A5)** | **PSIMOTORIK**  **(P1-P5)** |  |
| 1. | SUB-CPMK 1 |  |  |  |  |  |
| 2. |  |  |  |  |  |  |
| 3. |  |  |  |  |  |  |
| 4. |  |  |  |  |  |  |
| 5. |  |  |  |  |  |  |
| 6. |  |  |  |  |  |  |
| 7. |  |  |  |  |  |  |
| 8. |  |  |  |  |  |  |
| 9. |  |  |  |  |  |  |
| 10. |  |  |  |  |  |  |
| 11. |  |  |  |  |  |  |
| 12. |  |  |  |  |  |  |
| 13. |  |  |  |  |  |  |

RUBRIK SKALA PERSEPSI

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Aspek/Dimensi yang Dinilai** | **Sangat Kurang** | **Kurang** | **Cukup** | **Baik** | **Sangat Baik** |
| **<20** | **(21-40)** | **(41-60)** | **(61-80)** | **>80** |
| Kemampuan Komunikasi |  |  |  |  |  |
| Penguasaan Materti |  |  |  |  |  |
| Kemampuan Menghadapi Pertanyaan |  |  |  |  |  |
| Penggunaan Alat Peraga Persentasi |  |  |  |  |  |
| Ketepatan Menyelesaikan Masalah |  |  |  |  |  |

**INSTRUMEN PENILAIAN**

*Lampirkan*

**RUBRIK PENILAIAN**

*Lampirkan*

**CATATAN DAN KETERANGAN:**

**Evaluasi dan Penilaian Mata Kuliah**

1. **Ujian Tengah Semester (UTS)**

Materi yang akan diujikan meliputi materi perkuliahan pada pertemuan pertama sampai pertemuan ke tujuh/delapan dengan memberikan beberapa soal/tugas kepada mahasiswa.

1. **Ujian Akhir Semester (UAS)**

Materi yang akan diujikan meliputi materi perkuliahan pada pertemuan pertama sampai terakhir, yang dilaksanakan sesuai dengan kalender akademik.

1. ***Performance* (Tugas dan Partisipasi Aktif)**

Nilai performance merupakan penilaian yang diambilkan dari aktivitas kelas meliputi: penyelesaian tugas terstruktur maupun mandiri dengan baik dan tepat waktu, presensi, keaktifan berpartisipasi dalam diskusi, etika dalam perkuliahan dan diskusi, menghargai teman, dan sebagainya yang dianggap perlu sebagai penunjang.